

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masahiro TANAKA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: POWER SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

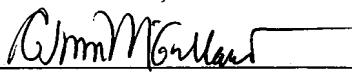
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-147922	May 26, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

0350706

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月26日
Date of Application:

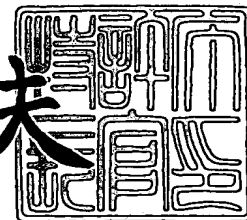
出願番号 特願2003-147922
Application Number:
[ST. 10/C]: [JP2003-147922]

出願人 株式会社東芝
Applicant(s):

2003年 7月18日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 A000302552

【提出日】 平成15年 5月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明の名称】 電力用半導体装置

【請求項の数】 20

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 田中 雅浩

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 梅川 真一

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 松田 正

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 山口 正一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 電力用半導体装置
【特許請求の範囲】

【請求項 1】

半導体活性層と、
前記活性層内に配設された第 1 導電型の第 1 ベース層と、
前記活性層の表面内でメインセルとダミーセルとを区画するように間隔をおいて且つ前記第 1 ベース層に至るように配設された複数のトレンチと、
前記トレンチから離間した位置で、前記第 1 ベース層上に配設された第 2 導電型のコレクタ層と、
前記メインセル内で前記第 1 ベース層上に配設された第 2 導電型の第 2 ベース層と、
前記第 2 ベース層上に配設された第 1 導電型のエミッタ層と、
前記ダミーセル内で前記第 1 ベース層上に配設された第 2 導電型のバッファ層と、
前記トレンチ内に配設され、前記第 1 ベース層と前記エミッタ層とにより挟まれた前記第 2 ベース層の部分にゲート絶縁膜を介して対向するゲート電極と、
前記コレクタ層上に配設されたコレクタ電極と、
前記第 2 ベース層及び前記エミッタ層上に配設されたエミッタ電極と、
前記バッファ層を前記エミッタ電極から電氣的に絶縁するように、前記活性層の前記表面内に配設された仕切り構造と、
を具備することを特徴とする電力用半導体装置。

【請求項 2】

前記仕切り構造は、前記活性層の前記表面内に配設された仕切りトレンチからなる仕切り壁を具備することを特徴とする請求項 1 に記載の電力用半導体装置。

【請求項 3】

前記仕切りトレンチは前記トレンチと実質的に同じ深さを有することを特徴とする請求項 2 に記載の電力用半導体装置。

【請求項 4】

前記仕切りトレンチ内に絶縁膜に被覆された状態で配設された導電層を更に具備し、前記導電層は前記ゲート電極に電氣的に接続されることを特徴とする請求項 2 に記載の電力用半導体装置。

【請求項 5】

前記仕切りトレンチ内は絶縁層で埋め込まれることを特徴とする請求項 2 に記載の電力用半導体装置。

【請求項 6】

前記仕切り構造は、前記活性層の前記表面内に配設された第 1 導電型の仕切り層からなる仕切り壁を具備することを特徴とする請求項 1 に記載の電力用半導体装置。

【請求項 7】

前記仕切り層は前記第 1 ベース層と一体的な部分を具備することを特徴とする請求項 6 に記載の電力用半導体装置。

【請求項 8】

前記仕切り構造は、前記活性層の前記表面内に配設された仕切りトレンチと、前記仕切りトレンチよりも深い位置で前記活性層内に配設された第 1 導電型の仕切り層と、の組み合わせからなる仕切り壁を具備することを特徴とする請求項 1 に記載の電力用半導体装置。

【請求項 9】

前記仕切り構造は、前記ダミーセルの両側で前記トレンチの端部間を橋渡し、前記トレンチと協働して前記ダミーセルを包囲するダミーセル端部壁を具備することを特徴とする請求項 1 に記載の電力用半導体装置。

【請求項 10】

前記仕切り構造は、前記メインセルの両側で前記トレンチの端部間を橋渡し、前記トレンチと協働して前記メインセルを包囲するメインセル端部壁を具備することを特徴とする請求項 1 に記載の電力用半導体装置。

【請求項 11】

動作領域と、前記動作領域を包囲する接合終端領域とを有する電力用半導体装置であって、

前記動作領域及び前記接合終端領域に共通の半導体活性層と、前記活性層は互いに逆側の第1及び第2主面を有することと、

前記動作領域及び前記接合終端領域に亘って前記活性層内に配設された第1導電型の第1ベース層と、

前記動作領域内において、前記活性層の前記第1主面内でメインセルとダミーセルとを区画するように間隔をおいて且つ前記第1ベース層に至るように配設された複数のトレンチと、

前記動作領域内において、前記活性層の前記第2主面側で前記第1ベース層上に配設された第2導電型のコレクタ層と、

前記メインセル内で前記第1ベース層上に配設された第2導電型の第2ベース層と、

前記第2ベース層上に配設された第1導電型のエミッタ層と、

前記ダミーセル内で前記第1ベース層上に配設された第2導電型のバッファ層と、

前記トレンチ内に配設され、前記第1ベース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して対向するゲート電極と、

前記コレクタ層上に配設されたコレクタ電極と、

前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、

前記動作領域と前記接合終端領域との間の境界部分において、前記動作領域を包囲するように、前記活性層の前記第1主面内に形成され且つ前記エミッタ電極に電氣的に接続された第2導電型のガードリング層と、

前記バッファ層を前記エミッタ電極から電氣的に絶縁するように、前記活性層の前記表面内に配設された仕切り構造と、前記仕切り構造は、前記バッファ層と前記第2ベース層との間に介在してこれらを互いに電氣的に絶縁する第1隔離部と、前記バッファ層と前記ガードリング層との間に介在してこれらを互いに電氣的に絶縁する第2隔離部とを含むことと、

を具備することを特徴とする電力用半導体装置。

【請求項12】

前記仕切り構造は、前記第1隔離部または前記第2隔離部として、前記活性層

の前記第 1 主面内に配設された仕切りトレンチからなる仕切り壁を具備することを特徴とする請求項 11 に記載の電力用半導体装置。

【請求項 13】

前記仕切り構造は、前記第 1 隔離部または前記第 2 隔離部として、前記活性層の前記第 1 主面内に配設された第 1 導電型の仕切り層からなる仕切り壁を具備することを特徴とする請求項 11 に記載の電力用半導体装置。

【請求項 14】

前記仕切り構造は、前記第 1 隔離部または前記第 2 隔離部として、前記活性層の前記第 1 主面内に配設された仕切りトレンチと、前記仕切りトレンチよりも深い位置で前記活性層内に配設された第 1 導電型の仕切り層と、の組み合わせからなる仕切り壁を具備することを特徴とする請求項 11 に記載の電力用半導体装置。

【請求項 15】

前記第 1 及び第 2 隔離部は、前記ダミーセルの両側で前記トレンチの端部間を橋渡し、前記トレンチと協働して前記ダミーセルを包囲するダミーセル端部壁からなる共通の壁を具備することを特徴とする請求項 11 に記載の電力用半導体装置。

【請求項 16】

前記第 1 隔離部は、前記メインセルの両側で前記トレンチの端部間を橋渡し、前記トレンチと協働して前記メインセルを包囲するメインセル端部壁を具備することを特徴とする請求項 11 に記載の電力用半導体装置。

【請求項 17】

前記第 2 隔離部は、前記メインセル及び前記ダミーセルを包囲するように前記活性層の前記第 1 主面内に配設された包囲壁を具備することを特徴とする請求項 11 に記載の電力用半導体装置。

【請求項 18】

前記バッファ層及び前記ガードリング層は前記トレンチよりも深いことを特徴とする請求項 11 に記載の電力用半導体装置。

【請求項 19】

前記第 1 及び第 2 隔離部は、前記トレンチと協働して前記ダミーセルを包囲する共通の壁を具備し、前記共通の壁は、前記ダミーセルの両側で前記トレンチの端部間を橋渡し、前記トレンチと協働して前記ダミーセルを包囲する仕切りトレンチと、前記トレンチ及び前記仕切りトレンチに沿って前記活性層内に配設された第 1 導電型の包囲層と、を具備し、前記トレンチ及び前記仕切りトレンチと前記包囲層との組み合わせにより、前記メインセル及び前記ダミーセルを包囲する包囲壁が形成されることを特徴とする請求項 18 に記載の電力用半導体装置。

【請求項 20】

前記第 2 隔離部は、前記メインセル及び前記ダミーセルを包囲するように前記活性層の前記第 1 主面内に配設された包囲壁を具備し、前記包囲壁は、前記活性層の前記第 1 主面内に配設された包囲トレンチと、前記包囲トレンチよりも深い位置で前記活性層内に配設された第 1 導電型の包囲層との組み合わせを具備することを特徴とする請求項 18 に記載の電力用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電力用半導体装置に関し、特に電力用スイッチング素子として好適な絶縁ゲート型半導体装置に関する。

【0002】

【従来の技術】

近年、パワーエレクトロニクス分野においては、電源機器の小型化・高性能化が強く要求されている。この要求を受けて、電力用半導体装置では、高耐圧・大電流化と共に、低損失化や低ノイズ化に対する性能改善が行われている。このような状況下で、低オン電圧特性を有し、同時にターンオフ損失の低減が可能な素子として、従来の IGBT (Insulated Gate Bipolar Transistor) を改良したデバイス（ここでは IEGT (Injection Enhanced Gate Transistor) と呼ぶ）が注目されている。

【0003】

IEGT の典型的な構造として、メインセル間にダミーセルを配設してメイン

セルの面積の割合を減少させたものが知られている（例えば、特許文献1及び特許文献2参照）。この構造によれば、メインセル面積が減少しているため、IEGTのオン状態において、コレクタ側からn型ベース層へ注入され、メインセルを通してエミッタ側へ排出される正孔の排出が制限される。これにより、エミッタ側からn型ベース層へ注入される電子の注入効率が向上し、n型ベース層の伝導度変調が促進され、低オン電圧がもたらされる。

【0004】

図20は、従来のダミーセルを有するIEGTのチップの平面レイアウトを示す図である。図21は、図20図示のIEGTのチップの周辺部を示す図20中のXXI-XXI線に沿った断面図である。図20及び図21図示の如く、この装置は、半導体基板（活性層）Subの中央部に配設された動作領域R11と、基板Subの周辺部に配設されて動作領域R11を包囲する接合終端領域R12とを有する。半導体基板Subは高抵抗のn型であり、これ自体がn型ベース層101として使用される。

【0005】

図21図示の如く、半導体基板Subの下面側には、高不純物濃度のp型コレクタ層103が配設される。一方、半導体基板Subの上面側には、動作領域R11内において、メインセルMRとダミーセルDRとを交互に区画するように間隔をおいて複数のトレンチ104が形成される。メインセルMR内でn型ベース層101上にはp型ベース層107が配設される。p型ベース層107の表面内にはn型エミッタ層108が形成される。ダミーセルDR内でn型ベース層101上にはp型バッファ層109が配設される。更に、メインセルMR及びダミーセルDRを包囲するようにp型包囲バッファ層109aが配設される。

【0006】

p型コレクタ層103とコンタクトするようにこの上にコレクタ電極111が配設される。p型ベース層107及びn型エミッタ層108とコンタクトするようにこれ等の上にエミッタ電極112が配設される。エミッタ電極112とダミーセルDRのp型バッファ層109との間には、絶縁層102が配設される。各トレンチ104内に、ゲート絶縁膜105で包まれた状態でゲート電極106が

埋め込まれる。ゲート電極106は、n型ベース層101とn型エミッタ層108とにより挟まれたp型ベース層107の部分に、ゲート絶縁膜105を介して対向する。

【0007】

動作領域R11と接合終端領域R12との間の境界部分には、エミッタ電極112に電氣的に接続された高不純物濃度のp型ガードリング層113が配設される。一方、接合終端領域R12のチップの周縁に沿って、コレクタ電極111に電氣的に接続された高不純物濃度のn型外側リング層114が配設される。p型ガードリング層113及びn型外側リング層114との間には、複数の高不純物濃度のp型フィールドリミットリング層116が配設される。これらの層113、114、116の組み合わせにより、基板Subの上面側の耐圧が維持される。なお、n型外側リング層114及びp型フィールドリミットリング層116には、ストップ電極115及びフローティング電極117がコンタクトする。

【0008】

このようなIEGTでは、メインセルMRが、n型ベース層101とエミッタ電極112とをつなぐ十分に狭い電流通路を形成する。このため、IEGTのオン状態において、n型ベース層101からメインセルMRのp型ベース層107を介してエミッタ電極112へ向かう正孔の流れに対して抵抗が増加し、エミッタ電極112への正孔の排出が制限される。これにより、n型エミッタ層108からn型ベース層101への電子の注入効率が向上し、n型ベース層101の伝導度変調が促進され、低オン電圧がもたらされる。

【0009】

【特許文献1】

米国特許第5,585,651号明細書

【0010】

【特許文献2】

米国特許第6,445,048号明細書

【0011】

【発明が解決しようとする課題】

後述するように、本発明者らの研究によれば、従来の IEGT においてはオン電圧の低減化に不十分な点が見出されている。本発明は、かかる従来技術の問題点に鑑みてなされたものであり、オン状態における通電能力が高く、オン電圧の低減化が可能な電力用半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】

本発明の第1の視点は、電力用半導体装置であって、
半導体活性層と、
前記活性層内に配設された第1導電型の第1ベース層と、
前記活性層の表面内でメインセルとダミーセルとを区画するように間隔をおいて且つ前記第1ベース層に至るように配設された複数のトレンチと、
前記トレンチから離間した位置で、前記第1ベース層上に配設された第2導電型のコレクタ層と、
前記メインセル内で前記第1ベース層上に配設された第2導電型の第2ベース層と、
前記第2ベース層上に配設された第1導電型のエミッタ層と、
前記ダミーセル内で前記第1ベース層上に配設された第2導電型のバッファ層と、
前記トレンチ内に配設され、前記第1ベース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して対向するゲート電極と、
前記コレクタ層上に配設されたコレクタ電極と、
前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、
前記バッファ層を前記エミッタ電極から電氣的に絶縁するように、前記活性層の前記表面内に配設された仕切り構造と、
を具備することを特徴とする。

【0013】

本発明の第2の視点は、動作領域と、前記動作領域を包囲する接合終端領域とを有する電力用半導体装置であって、
前記動作領域及び前記接合終端領域に共通の半導体活性層と、前記活性層は互

いに逆側の第1及び第2主面を有することと、

前記動作領域及び前記接合終端領域に亘って前記活性層内に配設された第1導電型の第1ベース層と、

前記動作領域内において、前記活性層の前記第1主面内でメインセルとダミーセルとを区画するように間隔をおいて且つ前記第1ベース層に至るように配設された複数のトレンチと、

前記動作領域内において、前記活性層の前記第2主面側で前記第1ベース層上に配設された第2導電型のコレクタ層と、

前記メインセル内で前記第1ベース層上に配設された第2導電型の第2ベース層と、

前記第2ベース層上に配設された第1導電型のエミッタ層と、

前記ダミーセル内で前記第1ベース層上に配設された第2導電型のバッファ層と、

前記トレンチ内に配設され、前記第1ベース層と前記エミッタ層とにより挟まれた前記第2ベース層の部分にゲート絶縁膜を介して対向するゲート電極と、

前記コレクタ層上に配設されたコレクタ電極と、

前記第2ベース層及び前記エミッタ層上に配設されたエミッタ電極と、

前記動作領域と前記接合終端領域との間の境界部分において、前記動作領域を包囲するように、前記活性層の前記第1主面内に形成され且つ前記エミッタ電極に電氣的に接続された第2導電型のガードリング層と、

前記バッファ層を前記エミッタ電極から電氣的に絶縁するように、前記活性層の前記表面内に配設された仕切り構造と、前記仕切り構造は、前記バッファ層と前記第2ベース層との間に介在してこれらを互いに電氣的に絶縁する第1隔離部と、前記バッファ層と前記ガードリング層との間に介在してこれらを互いに電氣的に絶縁する第2隔離部とを含むことと、

を具備することを特徴とする。

【0014】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る

。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【0015】

【発明の実施の形態】

本発明者等は、本発明の開発の過程において、図20及び図21図示の従来のI E G T等について研究を行った。その結果、以下に述べるような知見を得た。

【0016】

従来のI E G Tにおいて、メインセルM R内のp型ベース層107、ダミーセルD R内のp型バッファ層109、及びこれらの周囲のp型包囲バッファ層109aは一体的に形成され、動作領域R11の周辺部で互いに電氣的に接続される。従って、ダミーセルD R内のp型バッファ層109は、半導体基板のバルクによる高い配線抵抗を介してではあるが、エミッタ電極112に電氣的に接続される。このような構成によれば、I E G Tのターンオフ時に、n型ベース層101内の正孔をダミーセルD R内のp型バッファ層109を介してエミッタ電極112に逃すことができるため、ターンオフ速度を高めることができる。

【0017】

しかし、反面、I E G Tのオン状態において、ダミーセルD R内のp型バッファ層109はエミッタ電極112の影響で幾分かであるが電位が低下する。このため、p型コレクタ層3からn型ベース層1に注入された正孔が、ダミーセルD Rの電位に誘引されて分散する。これにより、メインセルM R内のn型ベース層1の上部における正孔の集中度が下がり、その結果、n型エミッタ層8からn型ベース層1への電子の注入効率が低下する。

【0018】

以下に、このような知見に基づいて構成された本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。また、以下の全ての実施の形態において、第1導電型としてn型、第2導電型としてp型が使用される。

【0019】

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係る電力用半導体装置（IEGTのチップ）の平面レイアウトを示す図である。図2は、図1図示のIEGTのチップの周辺部を示す図1中のII-II線に沿った断面図である。図1及び図2図示の如く、この装置は、半導体基板（活性層）Subの中央部に配設された動作領域R1と、基板Subの周辺部に配設されて動作領域R1を包囲する接合終端領域R2とを有する。半導体基板Subは高抵抗のn型であり、これ自体が動作領域R1及び接合終端領域R2に亘るn型ベース層1として使用される。

【0020】

図2図示の如く、半導体基板Subの下面側には、動作領域R1及び接合終端領域R2に亘って、高抵抗のn型ベース層1上に高不純物濃度のp型コレクタ層3が配設される。なお、n型ベース層1とp型コレクタ層3との間に高不純物濃度のn型バッファ層を配設することができる。一方、半導体基板Subの上面側には、動作領域R1内において、メインセルMRとダミーセルDRとを交互に区画するように間隔をおいて複数のトレンチ4が形成される。トレンチ4は基板Subからn型ベース層1に至る深さを有する。

【0021】

メインセルMR内でn型ベース層1上にはトレンチ4より浅いp型ベース層7が配設される。p型ベース層7の表面内にはn型エミッタ層8が形成される。ダミーセルDR内でn型ベース層1上にはトレンチ4より浅いp型バッファ層9が配設される。更に、メインセルMR及びダミーセルDRを包囲するように、トレンチ4より浅いp型包囲バッファ層9aが配設される。p型ベース層7、p型バッファ層9、及びp型包囲バッファ層9aは、共通のp型層をトレンチ4などにより分割することにより形成される。なお、これらの層7、9、9aは別々の層として形成することもできる。

【0022】

p型コレクタ層3とコンタクトするようにこの上にコレクタ電極11が配設される。p型ベース層7及びn型エミッタ層8とコンタクトするようにこれ等の上

にエミッタ電極 12 が配設される。エミッタ電極 12 とダミーセル DR の p 型バッファ層 9 との間には、絶縁層 2 が配設される。なお、エミッタ電極 12 とコンタクトするため、p 型ベース層 7 内に高不純物濃度の p 型コンタクト層を形成してもよい。

【0023】

各トレンチ 4 内に、ゲート絶縁膜 5 で包まれた状態でゲート電極 6 が埋め込まれる。なお、メインセル MR とダミーセル DR とが交互に配置されていない場合は、メインセル MR に隣接するトレンチ 4 内にのみゲート電極 6 を配設することができる。ゲート電極 6 は、n 型ベース層 1 と n 型エミッタ層 8 とにより挟まれた p 型ベース層 7 の部分に、ゲート絶縁膜 5 を介して対向する。従って、メインセル MR 内には、p 型ベース層 7 をチャネル領域として n 型エミッタ層 8 を n 型ベース層 1 に選択的に接続する電子注入用の n 型チャネル MOSFET が形成される。一方、ダミーセル DR 内には、このような n 型チャネル MOSFET は形成されない。

【0024】

動作領域 R1 と接合終端領域 R2 との間の境界部分において、半導体基板 Sub の上面内に高不純物濃度の p 型ガードリング層 13 が配設される。p 型ガードリング層 13 はトレンチ 4 よりも深く、動作領域 R1 を包囲するように形成される。p 型ガードリング層 13 は、その内側でメインセル MR 及びダミーセル DR を包囲する浅い p 型包囲バッファ層 9a に電氣的に接続される。また、p 型ガードリング層 13 は、エミッタ電極 12 の端部にコンタクトすることにより、エミッタ電極 12 に電氣的に接続される。

【0025】

接合終端領域 R2 のチップの周縁に沿って、半導体基板 Sub の上面内に高不純物濃度の n 型外側リング層 14 が配設される。n 型外側リング層 14 とコンタクトするようにこの上にリング状のストップ電極 15 が配設される。n 型外側リング層 14 及びストップ電極 15 は、基板 Sub の側面を介してコレクタ電極 11 に導通する。p 型ガードリング層 13 及び n 型外側リング層 14 の組み合わせにより、基板 Sub の上面側の耐圧が維持される。

【0026】

p型ガードリング層13及びn型外側リング層14との間で、半導体基板Subの上面内に複数の高不純物濃度のp型フィールドリミットリング層16が配設される。p型フィールドリミットリング層16はトレンチ4よりも深く、動作領域R1を包囲するように形成される。p型フィールドリミットリング層16とコンタクトするようにこれらの上にフローティング状態のリング電極17が配設される。p型フィールドリミットリング層16は、オフ状態において、等電位面を横方向に広げる機能を有し、これにより電界集中を緩和でき、耐圧向上を更に図ることができる。

【0027】

本実施の形態において、p型ガードリング層13及びp型フィールドリミットリング層16は、同一工程で形成され且つ同じ不純物濃度及び同じ深さを有する。しかし、これらの層13、16の不純物濃度や深さは異なってもよい。また、p型フィールドリミットリング層16に代え、基板Subの上面内に配設されたp型リサーフ層を使用することもできる。

【0028】

ダミーセルDRのp型バッファ層9の上面は、絶縁層2によってエミッタ電極12から電氣的に絶縁される。また、トレンチ4の両端部におけるp型バッファ層9の側面は、半導体基板Subの上面内に配設された仕切り構造20によってエミッタ電極12から電氣的に絶縁される。仕切り構造20は、p型バッファ層9とメインセルMRのp型ベース層7との間に介在してこれらを互いに電氣的に絶縁する第1隔離部と、p型バッファ層9とp型ガードリング層13との間に介在してこれらを互いに電氣的に絶縁する第2隔離部とを含む。

【0029】

本実施の形態において、第1及び第2隔離部は共通の壁（仕切り壁）によって形成され、これは、ダミーセルDRの両側でトレンチ4の端部間を橋渡し、トレンチ4と協働してダミーセルDRを包囲するダミーセル端部壁（仕切り壁）を具備する。このダミーセル端部壁は、半導体基板Subの上面内に、トレンチ4と同一工程で形成され且つ同じ深さを有するダミーセル端部トレンチ（仕切りトレ

ンチ) 21 からなる。

【0030】

ダミーセル端部トレンチ 21 内には、絶縁膜とこれに被覆された導電層とが配設され、これらはトレンチ 4 内のゲート絶縁膜 5 及びゲート電極 6 と同一工程で同じ材料から形成される。ダミーセル端部トレンチ 21 内の導電層はゲート電極 6 に電氣的に接続される。なお、後述するように、ダミーセル端部トレンチ 21 内は絶縁層で埋め込んでもよい。

【0031】

本実施の形態に係る IEGT によれば、トレンチ 4 の深さや幅、間隔等を最適設計することにより、サイリスタ並みの低オン電圧を得ることができる。これは、ダミーセル DR を設けることにより、p 型コレクタ層 3 から注入される正孔電流に対し、n 型ベース層 1 の横方向抵抗が発生することと、メインセル MR が、n 型ベース層 1 とエミッタ電極 12 とをつなぐ十分に狭い電流通路を形成し、抵抗が発生することによる。

【0032】

即ち、IEGT のオン状態において、p 型コレクタ層 3 から n 型ベース層 1 及びメインセル MR の p 型ベース層 7 を介してエミッタ電極 12 へ向かう正孔の流れに対して抵抗が増加し、エミッタ電極 12 への正孔の排出が制限される。これにより、n 型エミッタ層 8 から n 型ベース層 1 への電子の注入効率が向上し、n 型ベース層 1 の伝導度変調が促進され、低オン電圧がもたらされる。

【0033】

また、トレンチ 4 と一体のダミーセル端部トレンチ 21 により、ダミーセル DR の p 型バッファ層 9 がエミッタ電極 12 から完全に電氣的に絶縁される。このため、IEGT のオン状態において、p 型コレクタ層 3 から n 型ベース層 1 に注入された正孔が、ダミーセル DR の電位に誘引されて分散されることなく、メインセル MR 内の n 型ベース層 1 の上部に集中する。その結果、n 型エミッタ層 8 から n 型ベース層 1 への電子の注入効率を向上させ、オン電圧を更に低減することができる。

【0034】

(第2の実施の形態)

図3は、本発明の第2の実施の形態に係る電力用半導体装置（IEGTのチップ）の平面レイアウトを示す図である。図4は、図3図示のIEGTのチップの周辺部を示す図3中のIV-IV線に沿った断面図である。図示の如く、本実施の形態は、ダミーセルDRのp型バッファ層9をエミッタ電極12から電氣的に絶縁するため、図1及び図2図示の第1の実施の形態に係る仕切り構造20とは異なる仕切り構造25を有する。即ち、ダミーセルDRのp型バッファ層9の上面は、絶縁層2によってエミッタ電極12から電氣的に絶縁される。また、p型バッファ層9の側面は、半導体基板Subの上面内に配設された仕切り構造25によってエミッタ電極12から電氣的に絶縁される。

【0035】

仕切り構造25は、p型バッファ層9をp型ベース層7から電氣的に絶縁する第1隔離部として、メインセルMRの両側でトレンチ4の端部間を橋渡し、トレンチ4と協働してメインセルMRを包囲するメインセル端部壁（仕切り壁）を具備する。仕切り構造25はまた、p型バッファ層9をp型ガードリング層13から電氣的に絶縁する第2隔離部として、メインセルMR及びダミーセルDRを包囲するように浅いp型包囲バッファ層9aを貫通分断する包囲壁（仕切り壁）を具備する。メインセル端部壁及び包囲壁は、夫々、半導体基板Subの上面内に、トレンチ4と同一工程で形成され且つ同じ深さを有するメインセル端部トレンチ（仕切りトレンチ）26及び包囲トレンチ（仕切りトレンチ）27からなる。

【0036】

メインセル端部トレンチ26及び包囲トレンチ27内には、絶縁膜22とこれに被覆された導電層23とが配設され、これらは、トレンチ4内のゲート絶縁膜5及びゲート電極6と同一工程で同じ材料から形成される。導電層23はゲート電極6に電氣的に接続される。なお、後述するように、メインセル端部トレンチ26及び包囲トレンチ27内は絶縁層で埋め込んでもよい。

【0037】

本実施の形態に係るIEGTよれば、トレンチ4と一体のメインセル端部トレンチ26と、メインセルMR及びダミーセルDRを包囲する包囲トレンチ27と

により、ダミーセルDRのp型バッファ層9がエミッタ電極12から完全に電氣的に絶縁される。このため、本実施の形態においても、第1の実施の形態と同様、n型エミッタ層8からn型ベース層1への電子の注入効率を向上させ、オン電圧を更に低減することができる。

【0038】

(第3の実施の形態)

図5は、本発明の第3の実施の形態に係る電力用半導体装置(IEGTのチップ)の平面レイアウトを示す図である。図6は、図5図示のIEGTのチップの周辺部を示す図5中のVI-VI線に沿った断面図である。図示の如く、本実施の形態においては、ダミーセルDR内にトレンチ4より深い高不純物濃度のp型バッファ層10が形成される。また、動作領域R1と接合終端領域R2との間の境界部分に、動作領域R1に延在する大きな幅を有し且つトレンチ4より深い高不純物濃度のp型ガードリング層13Tが形成される。p型バッファ層とp型ガードリング層13Tとの間には、浅いp型包囲バッファ層9aが配設される。本実施の形態において、p型バッファ層10及びp型ガードリング層13Tは、同一工程で形成され且つ同じ不純物濃度及び同じ深さを有する。しかし、これらの層10、13Tの不純物濃度や深さは異なってもよい。

【0039】

ダミーセルDRのp型バッファ層10の上面は、絶縁層2によってエミッタ電極12から電氣的に絶縁される。また、p型バッファ層10の側面は、半導体基板Subの上面内に配設された仕切り構造30によってエミッタ電極12から電氣的に絶縁される。仕切り構造30は、p型バッファ層10をp型ベース層7から電氣的に絶縁する第1隔離部として、ダミーセルDRの両側でトレンチ4の端部間を橋渡し、トレンチ4と協働してダミーセルDRを包囲するダミーセル端部壁(仕切り壁)を具備する。このダミーセル端部壁は、第1の実施の形態で説明したダミーセル端部トレンチ21からなる。

【0040】

仕切り構造30はまた、p型バッファ層10をp型ガードリング層13Tから電氣的に絶縁する第2隔離部として、p型ガードリング層13Tの内側に沿って

メインセルMR及びダミーセルDRを包囲する包囲壁（仕切り壁）を具備する。この包囲壁は、第2の実施の形態で説明した包囲トレンチ27と、包囲トレンチ27よりも深い位置で半導体基板Sub内に配設されたn型包囲層（仕切り層）31との組み合わせからなる。包囲トレンチ27は、メインセルMR及びダミーセルDRを包囲するp型包囲バッファ層9aとp型ガードリング層13Tとの間に配設される。n型包囲層31は、浅いp型包囲バッファ層9aの下に位置する、n型ベース層と一体的な部分（即ち、半導体基板Subの生地）からなる。

【0041】

本実施の形態において、p型バッファ層10及びp型ガードリング層13Tは、ダミーセル端部トレンチ21及び包囲トレンチ27よりも深い。このため、図5中の線L-L方向において、ダミーセル端部トレンチ21及び及び包囲トレンチ27だけでは、p型バッファ層10をp型ガードリング層13Tから電氣的に絶縁することはできない。このため、包囲トレンチ27と、これよりも深い位置に配設されたn型包囲層31とを組み合わせることで包囲壁を形成し、p型バッファ層10をp型ガードリング層13Tから電氣的に絶縁する。

【0042】

本実施の形態に係るIEGTよれば、トレンチ4と一体のダミーセル端部トレンチ21と、メインセルMR及びダミーセルDRを包囲する包囲トレンチ27及びn型包囲層31とにより、ダミーセルDRのp型バッファ層10がエミッタ電極12から完全に電氣的に絶縁される。このため、本実施の形態においても、第1の実施の形態と同様、n型エミッタ層8からn型ベース層1への電子の注入効率を向上させ、オン電圧を更に低減することができる。

【0043】

（第4の実施の形態）

図7は、本発明の第4の実施の形態に係る電力用半導体装置（IEGTのチップ）の平面レイアウトを示す図である。図8は、図7図示のIEGTのチップの周辺部を示す図7中のVIII-VIII線に沿った断面図である。図示の如く、本実施の形態においても、ダミーセルDR内のp型バッファ層がトレンチ4より深い高不純物濃度のp型バッファ層10からなる。メインセルMR及びダミーセルDR

の周囲には、トレンチ 4 より深い高不純物濃度の p 型内側包囲層 10 a が配設される。p 型内側包囲層 10 a はダミーセル DR の p 型バッファ層 10 と一体的で且つこれに電氣的に接続された層からなる。p 型内側包囲層 10 a と p 型ガードリング層 13 との間に、浅い p 型包囲バッファ層 9 a が配設される。

【0044】

ダミーセル DR の p 型バッファ層 10 及びその周囲の p 型内側包囲層 10 a の上面は、絶縁層 2 によってエミッタ電極 12 から電氣的に絶縁される。また、p 型バッファ層 10 及び p 型内側包囲層 10 a の側面は、半導体基板 Sub の上面内に配設された仕切り構造 35 によってエミッタ電極 12 から電氣的に絶縁される。仕切り構造 35 は、p 型バッファ層 10 を p 型ベース層 7 から電氣的に絶縁する第 1 隔離部として、メインセル MR の両側でトレンチ 4 の端部間を橋渡し、トレンチ 4 と協働してメインセル MR を包囲するメインセル端部壁（仕切り壁）を具備する。このメインセル端部壁は、第 2 の実施の形態で説明したメインセル端部トレンチ 26 からなる。

【0045】

仕切り構造 35 はまた、p 型バッファ層 10 に電氣的に接続された p 型内側包囲層 10 a を p 型ガードリング層 13 から電氣的に絶縁する第 2 隔離部として、p 型内側包囲層 10 a と p 型ガードリング層 13 との間に配設された包囲壁（仕切り壁）を具備する。この包囲壁は、第 2 の実施の形態で説明した包囲トレンチ 27 と、包囲トレンチ 27 と同じ内部構造を有し且つその外側で同心状に配設された第 2 の包囲トレンチ（仕切りトレンチ）36 と、両包囲トレンチ 27、36 間で且つこれらよりも深い位置で半導体基板 Sub 内に配設された n 型包囲層（仕切り層）37 との組み合わせからなる。包囲トレンチ 27、36 は、メインセル MR 及びダミーセル DR を包囲する浅い p 型包囲バッファ層 9 a を挟むように配設される。n 型包囲層 37 は、浅い p 型包囲バッファ層 9 a の下に位置する、n 型ベース層と一体的な部分（即ち、半導体基板 Sub の生地）からなる。

【0046】

本実施の形態において、p 型ガードリング層 13 と、p 型バッファ層 10 に電氣的に接続された p 型内側包囲層 10 a とは、包囲トレンチ 27、36 よりも深

い。このため、図7中の線L-L方向において、包囲トレンチ27、36だけでは、p型内側包囲層10aをp型ガードリング層13から電氣的に絶縁することはできない。このため、包囲トレンチ27、36と、これらよりも深い位置に配設されたn型包囲層37とを組み合わせることで包囲壁を形成し、p型内側包囲層10aをp型ガードリング層13から電氣的に絶縁する。

【0047】

本実施の形態に係るIEGTよれば、トレンチ4と一体のメインセル端部トレンチ26と、メインセルMR及びダミーセルDRを包囲する包囲トレンチ27、36及びn型包囲層37とにより、ダミーセルDRのp型バッファ層10及びこれに電氣的に接続されたp型内側包囲層10aがエミッタ電極12から完全に電氣的に絶縁される。このため、本実施の形態においても、第1の実施の形態と同様、n型エミッタ層8からn型ベース層1への電子の注入効率を向上させ、オン電圧を更に低減することができる。

【0048】

図9は、第4の実施の形態の変更例に係る電力用半導体装置（IEGTのチップ）の周辺部を示す断面図である。図示の如く、本変更例においては、包囲トレンチ27、36間に浅いp型包囲バッファ層9aが形成されておらず、n型包囲層（仕切り層）37Aが半導体基板Subの表面まで到達する。また、包囲トレンチ27、36内には、ゲート絶縁膜5及びゲート電極6と同じ構造が配設されておらず、絶縁層39が埋め込まれる。このような変更例によれば、ダミーセルDRのp型バッファ層10をエミッタ電極12からより確実に電氣的に絶縁することができる。

【0049】

（第5の実施の形態）

図10は、本発明の第5の実施の形態に係る電力用半導体装置（IEGTのチップ）の平面レイアウトを示す図である。図11及び図12は、図10図示のIEGTのチップの周辺部を示す図10中のXI-XI線及びXII-XII線に夫々沿った断面図である。図示の如く、本実施の形態は、図3及び図4図示の第2の実施の形態と比較して、メインセルMR及びダミーセルDRを包囲する包囲トレンチ

27を含まない点と、浅いp型包囲バッファ層9a sが、p型ガードリング層13に至る前に終端し、p型ガードリング層13にコンタクトしない点とにおいて相違する。このような構造の本実施の形態においては、下記の態様でダミーセルDRのp型バッファ層9がエミッタ電極12から電氣的に絶縁される。

【0050】

ダミーセルDRのp型バッファ層9の上面は、絶縁層2によってエミッタ電極12から電氣的に絶縁される。また、p型バッファ層9の側面は、半導体基板Subの上面内に配設された仕切り構造40によってエミッタ電極12から電氣的に絶縁される。仕切り構造40は、p型バッファ層9をp型ベース層7から電氣的に絶縁する第1隔離部として、メインセルMRの両側でトレンチ4の端部間を橋渡し、トレンチ4と協働してメインセルMRを包囲するメインセル端部壁（仕切り壁）を具備する。このメインセル端部壁は、第2の実施の形態で説明したメインセル端部トレンチ26からなる。

【0051】

仕切り構造40はまた、p型バッファ層9をp型ガードリング層13から電氣的に絶縁する第2隔離部として、p型ガードリング層13の内側に沿ってメインセルMR及びダミーセルDRを包囲する包囲壁（仕切り壁）を具備する。この包囲壁は、p型包囲バッファ層9a sとp型ガードリング層13との間で半導体基板Sub内の表面内に配設されたn型包囲層（仕切り層）41からなる。n型包囲層41は、p型包囲バッファ層9a sがp型ガードリング層13に至る前に終端することにより残された、n型ベース層と一体的な部分（即ち、半導体基板Subの生地）からなる。

【0052】

本実施の形態に係るIEGTよれば、トレンチ4と一体のメインセル端部トレンチ26と、メインセルMR及びダミーセルDRを包囲するn型包囲層41とにより、ダミーセルDRのp型バッファ層9がエミッタ電極12から完全に電氣的に絶縁される。このため、本実施の形態においても、第1の実施の形態と同様、n型エミッタ層8からn型ベース層1への電子の注入効率を向上させ、オン電圧を更に低減することができる。

【0053】

(第6の実施の形態)

図13は、本発明の第6の実施の形態に係る電力用半導体装置（IEGTのチップ）の平面レイアウトを示す図である。図14及び図15は、図13図示のIEGTのチップの周辺部を示す図13中のXIV-XIV線及びXV-XV線に夫々沿った断面図である。図示の如く、本実施の形態は、図7及び図8図示の第4の実施の形態と比較して、メインセルMR及びダミーセルDRを包囲する2つの包囲トレンチ27、36と、その間に配設された浅いp型包囲バッファ層9aとを含まない点において相違する。このような構造の本実施の形態においては、下記の態様でダミーセルDRのp型バッファ層9がエミッタ電極12から電氣的に絶縁される。

【0054】

ダミーセルDRのp型バッファ層10及びその周囲のp型内側包囲層10aの上面は、絶縁層2によってエミッタ電極12から電氣的に絶縁される。また、p型バッファ層10及びp型内側包囲層10aの側面は、半導体基板Subの上面内に配設された仕切り構造45によってエミッタ電極12から電氣的に絶縁される。仕切り構造45は、p型バッファ層10をp型ベース層7から電氣的に絶縁する第1隔離部として、メインセルMRの両側でトレンチ4の端部間を橋渡し、トレンチ4と協働してメインセルMRを包囲するメインセル端部壁（仕切り壁）を具備する。このメインセル端部壁は、第2の実施の形態で説明したメインセル端部トレンチ26からなる。

【0055】

仕切り構造45はまた、p型バッファ層10に電氣的に接続されたp型内側包囲層10aをp型ガードリング層13から電氣的に絶縁する第2隔離部として、p型内側包囲層10aとp型ガードリング層13との間に配設された包囲壁（仕切り壁）を具備する。この包囲壁は、p型内側包囲層10aとp型ガードリング層13との間で半導体基板Sub内の表面内に配設されたn型包囲層（仕切り層）46からなる。n型包囲層46は、浅いp型包囲バッファ層9aを排除することにより残された、n型ベース層と一体的な部分（即ち、半導体基板Subの生

地) からなる。

【0056】

本実施の形態に係る IEGT によれば、トレンチ 4 と一体のメインセル端部トレンチ 26 と、メインセル MR 及びダミーセル DR を包囲する n 型包囲層 46 とにより、ダミーセル DR の p 型バッファ層 10 及びこれに電氣的に接続された p 型内側包囲層 10a がエミッタ電極 12 から完全に電氣的に絶縁される。このため、本実施の形態においても、第 1 の実施の形態と同様、n 型エミッタ層 8 から n 型ベース層 1 への電子の注入効率を向上させ、オン電圧を更に低減することができる。

【0057】

(第 7 の実施の形態)

図 16 は、本発明の第 7 の実施の形態に係る電力用半導体装置 (IEGT のチップ) の平面レイアウトを示す図である。図 17 及び図 18 は、図 16 図示の IEGT のチップの周辺部を示す図 16 中の XVII-XVII 線及び XVIII-XVIII 線に夫々沿った断面図である。図示の如く、本実施の形態は、図 5 及び図 6 図示の第 3 の実施の形態と比較して、メインセル MR 及びダミーセル DR を包囲する包囲トレンチ 27 を含まない点において相違する。このような構造の本実施の形態においては、下記の態様でダミーセル DR の p 型バッファ層 9 がエミッタ電極 12 から電氣的に絶縁される。

【0058】

ダミーセル DR の p 型バッファ層 10 の上面は、絶縁層 2 によってエミッタ電極 12 から電氣的に絶縁される。また、p 型バッファ層 10 の側面は、半導体基板 Sub の上面内に配設された仕切り構造 50 によってエミッタ電極 12 から電氣的に絶縁される。仕切り構造 50 においては、p 型バッファ層 10 を p 型ベース層 7 から電氣的に絶縁する第 1 隔離部と、p 型バッファ層 10 を p 型ガードリング層 13T から電氣的に絶縁する第 2 隔離部とが、共通の壁 (仕切り壁) によって形成される。この共通の壁は、第 1 の実施の形態で説明したダミーセル端部トレンチ 21 と、ダミーセル端部トレンチ 21 よりも深い位置で半導体基板 Sub 内に配設された n 型包囲層 (仕切り層) 51 との組み合わせからなる。n 型包

囲層 51 は、メインセル MR 及びダミーセル DR を包囲する浅い p 型包囲バッファ層 9a の下に位置する、n 型ベース層と一体的な部分（即ち、半導体基板 Sub の生地）からなる。

【0059】

本実施の形態に係る IEGT よれば、トレンチ 4 と一体のダミーセル端部トレンチ 21 と、メインセル MR 及びダミーセル DR を包囲する n 型包囲層 51 とにより、ダミーセル DR の p 型バッファ層 10 がエミッタ電極 12 から完全に電氣的に絶縁される。このため、本実施の形態においても、第 1 の実施の形態と同様、n 型エミッタ層 8 から n 型ベース層 1 への電子の注入効率を向上させ、オン電圧を更に低減することができる。

【0060】

図 19 は、第 7 の実施の形態の変更例に係る電力用半導体装置（IEGT のチップ）の周辺部を示す断面図である。図示の如く、本変更例においては、トレンチ 4、21 と p 型ガードリング層 13T との間に浅い p 型包囲バッファ層 9a が形成されておらず、n 型包囲層（仕切り層）51A が半導体基板 Sub の表面まで到達する。このような変更例によれば、ダミーセル DR の p 型バッファ層 10 をエミッタ電極 12 からより確実に電氣的に絶縁することができる。

【0061】

以上の実施の形態によれば、仕切り構造 30、35、40、45、50 で使用される仕切り用の n 型層は、n 型ベース層と一体的な部分（即ち、半導体基板 Sub の生地）からなる。しかし、仕切り用の n 型層、特に半導体基板 Sub の表面に露出する n 型層は、基板 Sub の表面から n 型不純物を導入して別途形成することもできる。

【0062】

なお、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【0063】

【発明の効果】

本発明によれば、オン状態における通電能力が高い電力用半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る電力用半導体装置（I E G T のチップ）の平面レイアウトを示す図。

【図 2】

図 1 図示の I E G T のチップの周辺部を示す図 1 中の II-II 線に沿った断面図。

【図 3】

本発明の第 2 の実施の形態に係る電力用半導体装置（I E G T のチップ）の平面レイアウトを示す図。

【図 4】

図 3 図示の I E G T のチップの周辺部を示す図 3 中の IV-IV 線に沿った断面図。

【図 5】

本発明の第 3 の実施の形態に係る電力用半導体装置（I E G T のチップ）の平面レイアウトを示す図。

【図 6】

図 5 図示の I E G T のチップの周辺部を示す図 5 中の VI-VI 線に沿った断面図。

【図 7】

本発明の第 4 の実施の形態に係る電力用半導体装置（I E G T のチップ）の平面レイアウトを示す図。

【図 8】

図 7 図示の I E G T のチップの周辺部を示す図 7 中の VIII-VIII 線に沿った断面図。

【図 9】

第 4 の実施の形態の変更例に係る電力用半導体装置（I E G T のチップ）の周

辺部を示す断面図。

【図 10】

本発明の第 5 の実施の形態に係る電力用半導体装置（I E G T のチップ）の平面レイアウトを示す図。

【図 11】

図 10 図示の I E G T のチップの周辺部を示す図 10 中の XI-XI 線に沿った断面図。

【図 12】

図 10 図示の I E G T のチップの周辺部を示す図 10 中の XII-XII 線に沿った断面図。

【図 13】

本発明の第 6 の実施の形態に係る電力用半導体装置（I E G T のチップ）の平面レイアウトを示す図。

【図 14】

図 13 図示の I E G T のチップの周辺部を示す図 13 中の XIV-XIV 線に沿った断面図。

【図 15】

図 13 図示の I E G T のチップの周辺部を示す図 13 中の XV-XV 線に沿った断面図。

【図 16】

本発明の第 7 の実施の形態に係る電力用半導体装置（I E G T のチップ）の平面レイアウトを示す図。

【図 17】

図 16 図示の I E G T のチップの周辺部を示す図 16 中の XVII-XVII 線に沿った断面図。

【図 18】

図 16 図示の I E G T のチップの周辺部を示す図 16 中の XVIII-XVIII 線に沿った断面図。

【図 19】

第7の実施の形態の変更例に係る電力用半導体装置（IEGTのチップ）の周辺部を示す断面図。

【図20】

従来のダミーセルを有するIEGTのチップの平面レイアウトを示す図。

【図21】

図20図示のIEGTのチップの周辺部を示す図20中のXXI-XXI線に沿った断面図。

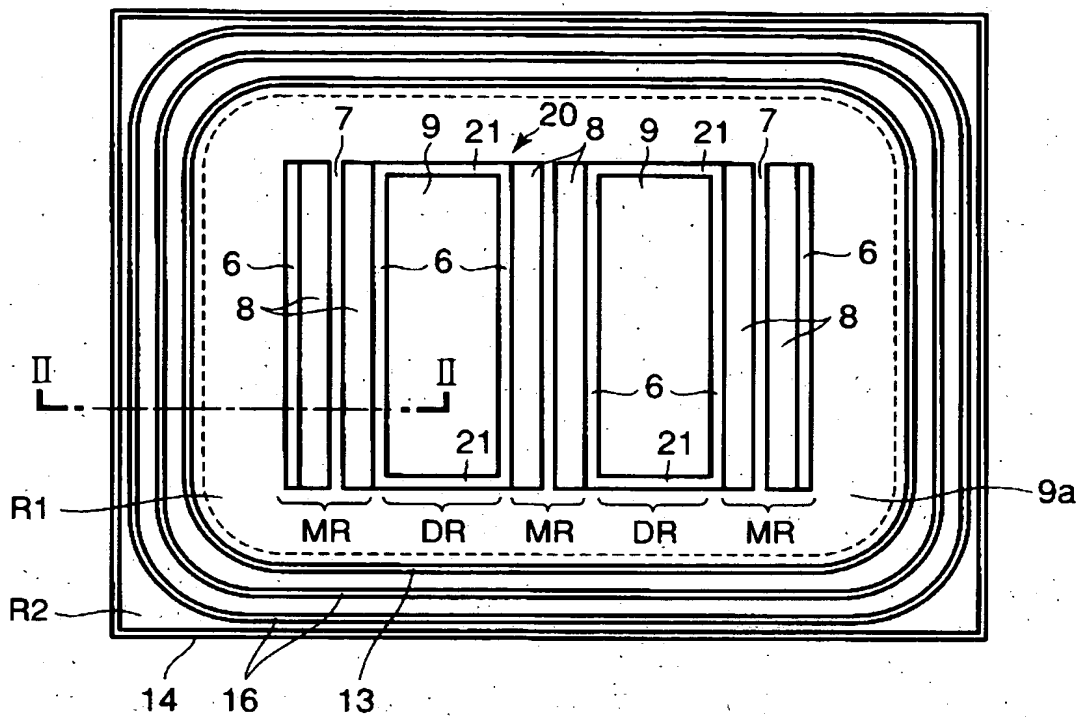
【符号の説明】

R1…動作領域；R12…接合終端領域；MR…メインセル；DR…ダミーセル；Sub…半導体基板；1…n型ベース層；3…p型コレクタ層；4…トレンチ；5…ゲート絶縁膜；6…ゲート電極；7…p型ベース層；8…n型エミッタ層；9…p型バッファ層（浅い）；9a、9as…p型包囲バッファ層；10…p型バッファ層（深い）；10a…p型内側包囲層；11…コレクタ電極；12…エミッタ電極；13、13T…p型ガードリング層；14…n型外側リング層；16…p型フィールドリミットリング層16；20、25、30、35、40、45、50…仕切り構造；21…ダミーセル端部トレンチ（仕切りトレンチ）；26…メインセル端部トレンチ（仕切りトレンチ）；27、36…包囲トレンチ（仕切りトレンチ）；31、37、37A、41、46、51、51A…n型包囲層（仕切り層）。

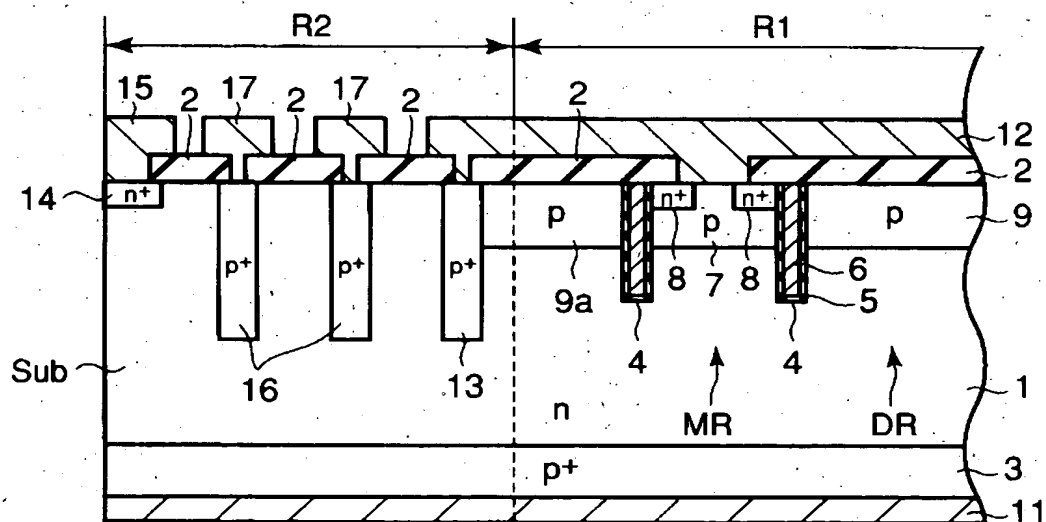
【書類名】

図面

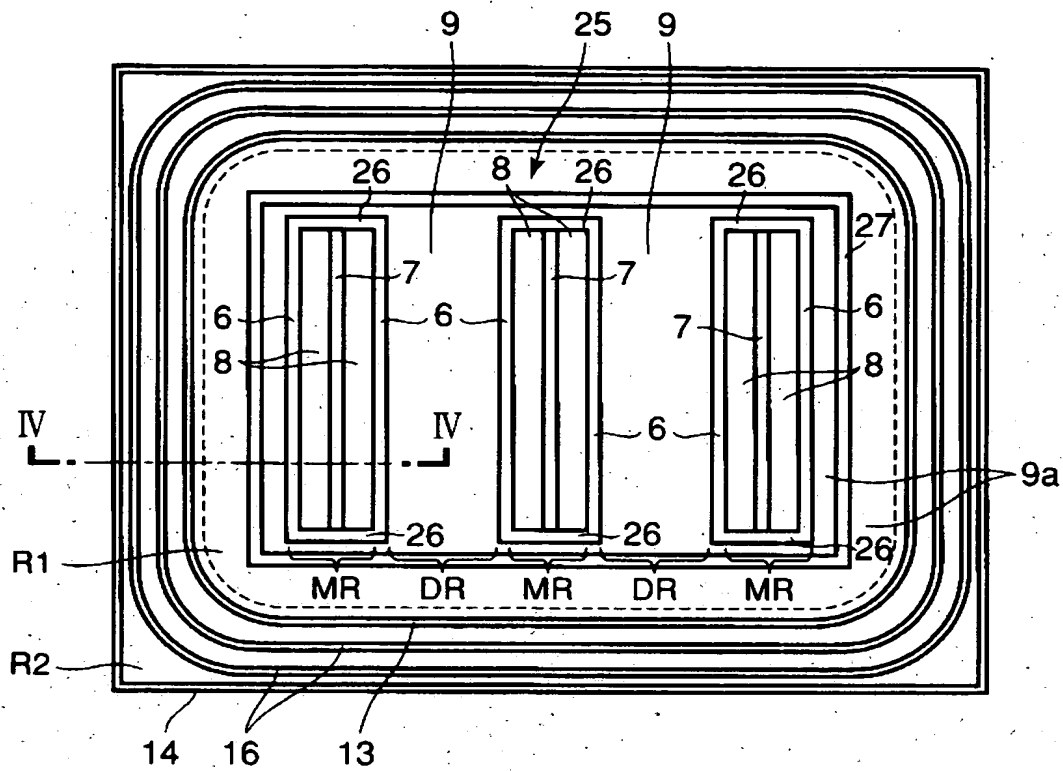
【図 1】



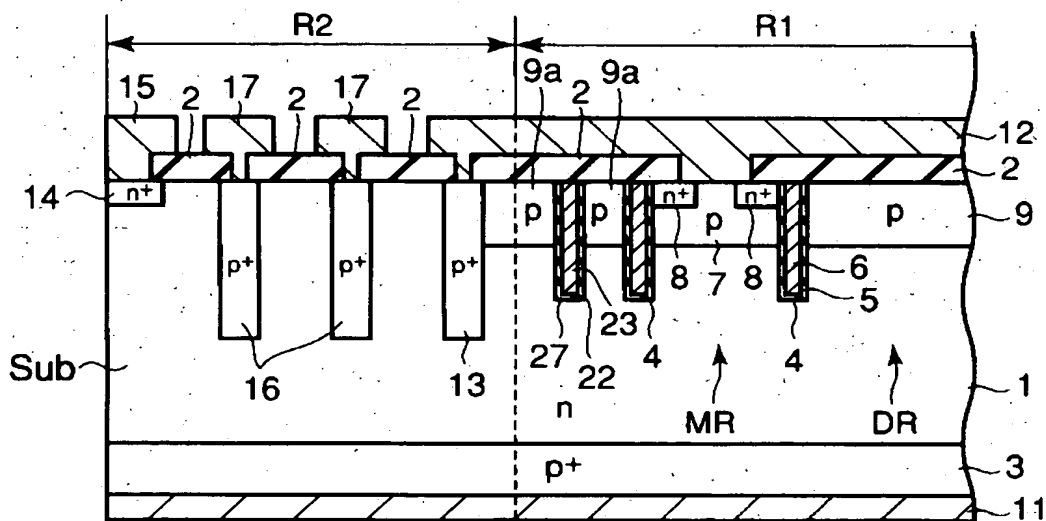
【圖 2】



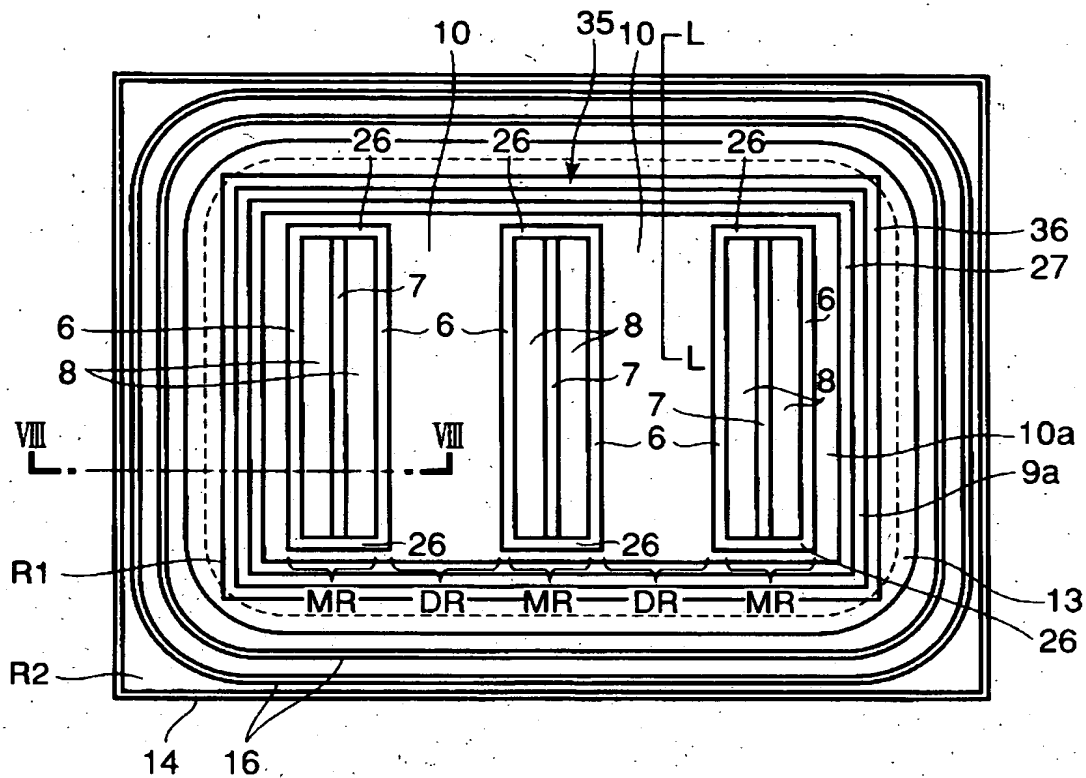
【図 3】



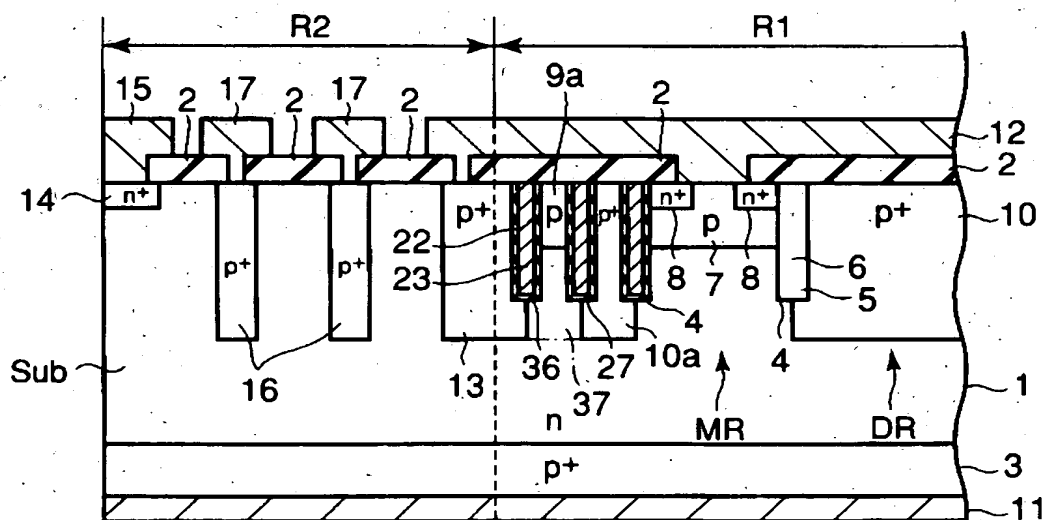
【図 4】



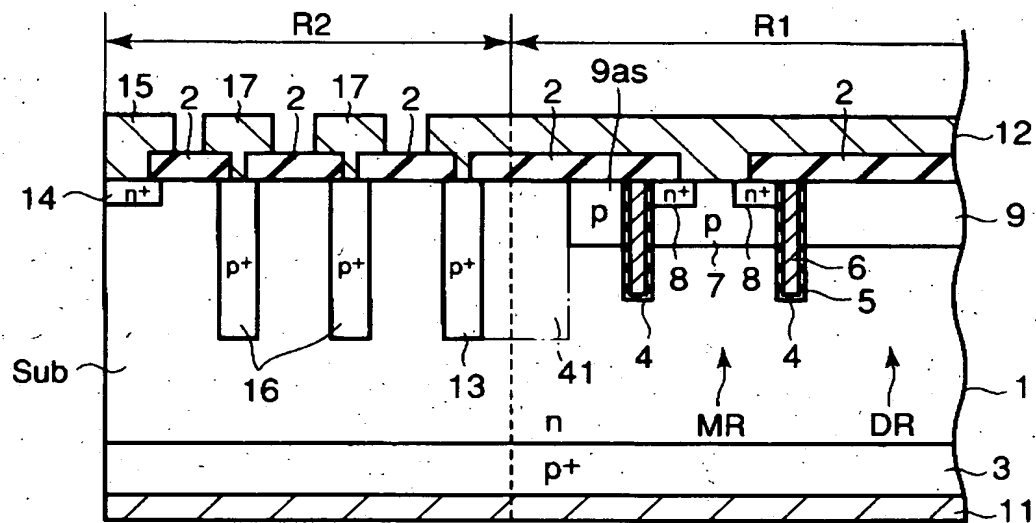
【図 7】



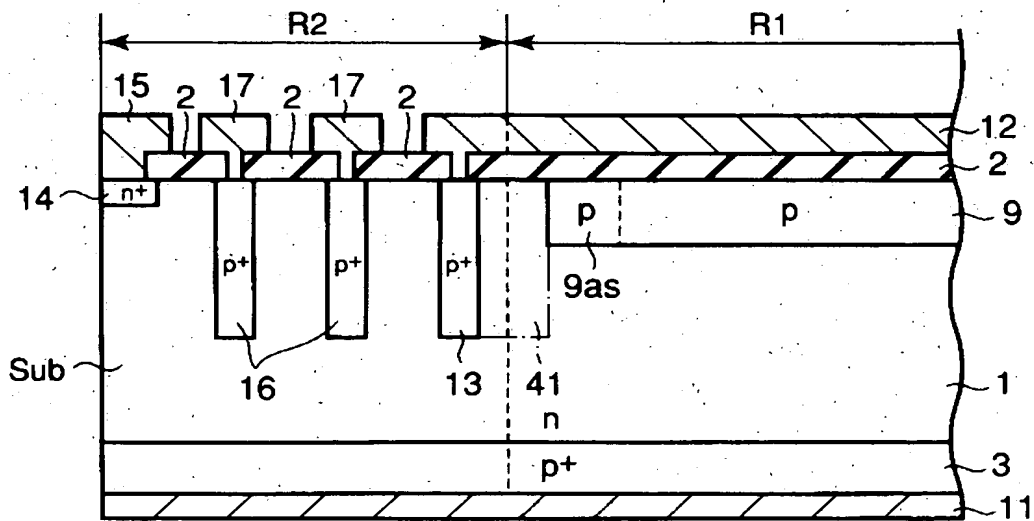
【図 8】



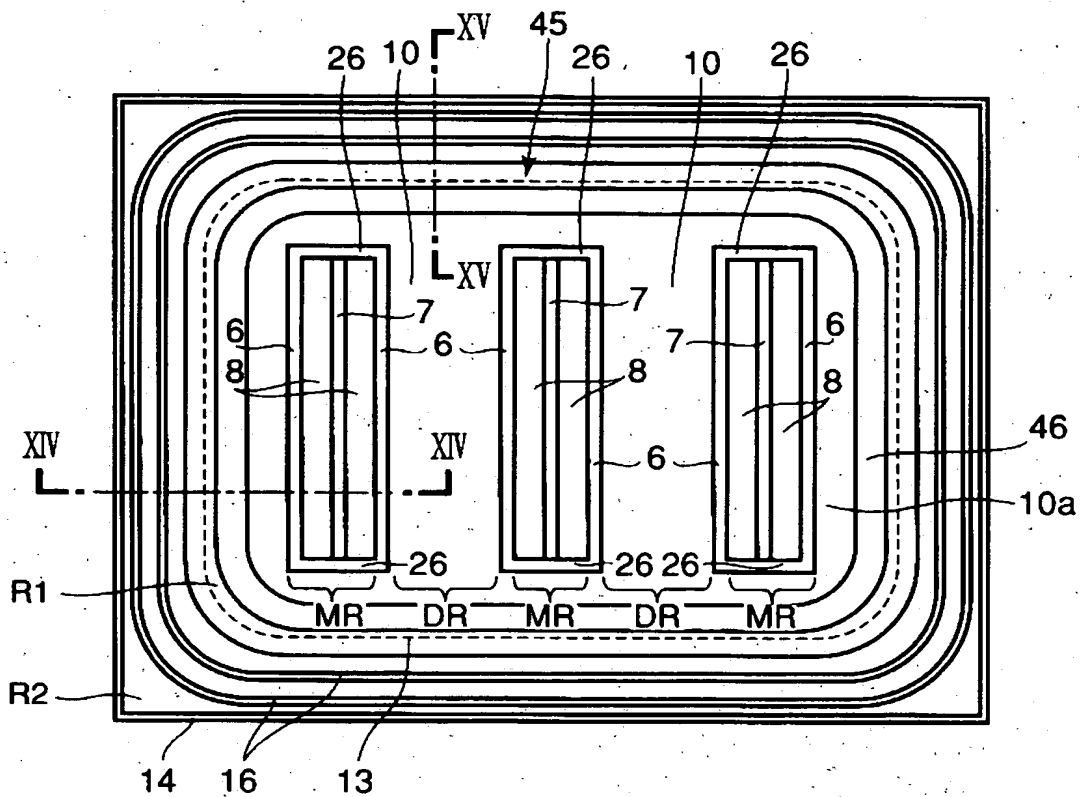
【図 1.1】



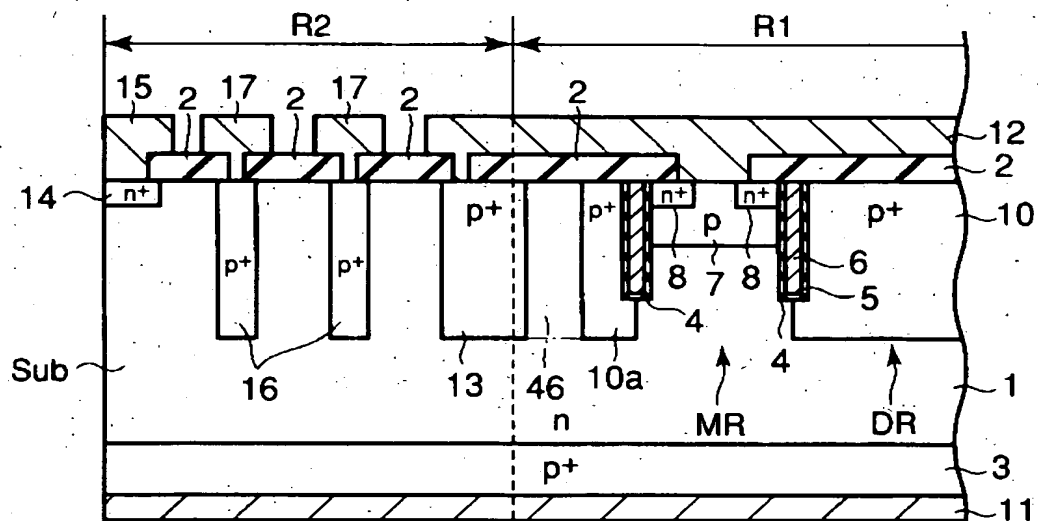
【図 1.2】



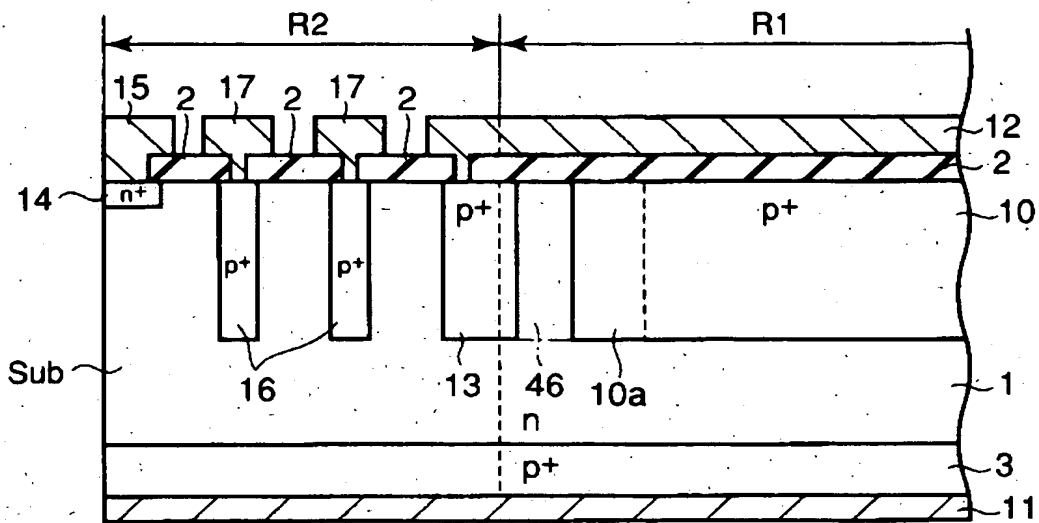
【図 13】



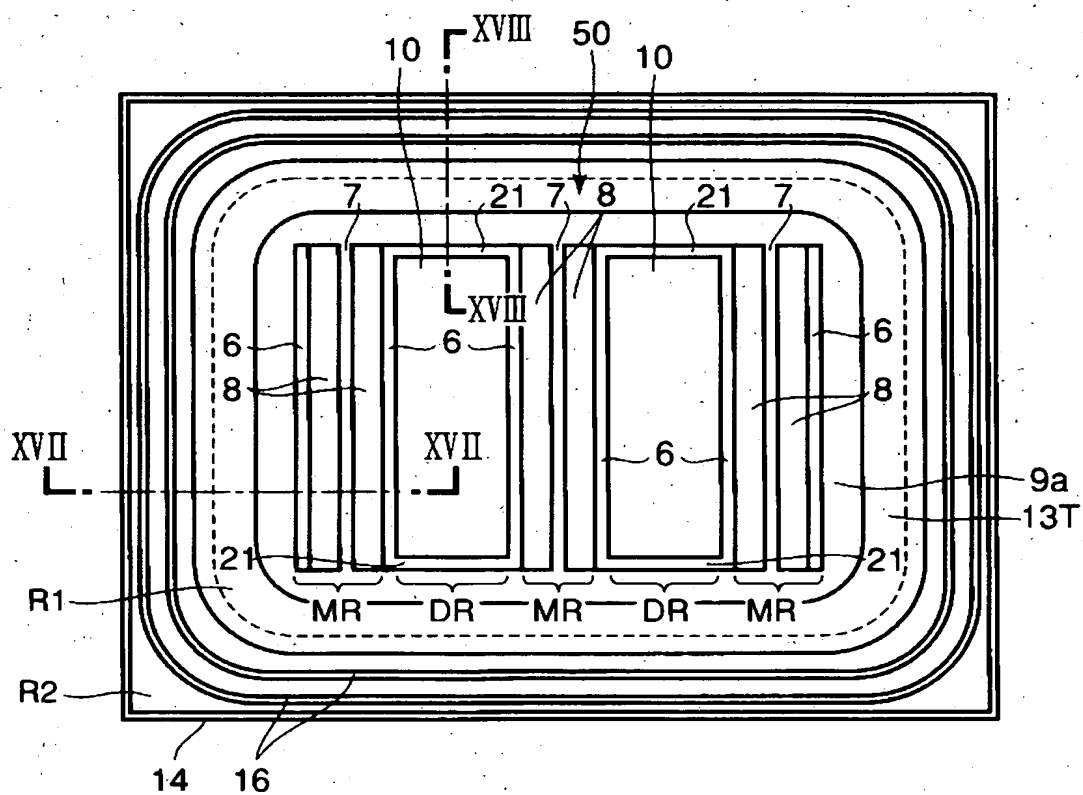
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 オン状態における通電能力が高い電力用半導体装置を提供する。

【解決手段】 電力用半導体装置は、半導体活性層の表面内で第1導電型の第1ベース層(1)に至るように配設された複数のトレンチ(4)を含む。トレンチ(4)は、メインセル(MR)とダミーセル(DR)とを区画するように間隔をおいて配設される。メインセル(MR)内に第2導電型の第2ベース層(7)と第1導電型のエミッタ層(8)とが配設され、ダミーセル(DR)内に第2導電型のバッファ層(9)が配設される。トレンチ(4)内にゲート絶縁膜(5)を介してゲート電極(6)が配設される。バッファ層(9)をエミッタ電極(12)から電氣的に絶縁するように、半導体活性層の表面内に仕切り構造(20)が配設される。

【選択図】 図1

特願 2003-147922

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝